

超低导通电阻沟槽栅 LDMOS 器件研究

吝晓楠¹, 吴团庄², 许超奇³, 李仁伟², 张 仪³, 薛璐洁², 陈淑娴³,
林 峰³, 刘斯扬¹, 孙伟锋^{1,2}

(1. 东南大学电子科学与工程学院, 江苏南京 210096; 2. 东南大学微电子学院, 江苏无锡 214000;
3. 无锡华润上华科技有限公司, 江苏无锡 214000)

摘 要: 本文提出了一种具有超低特征导通电阻的沟槽栅横向双扩散场效应晶体管(Trench Gate Lateral Double-diffused MOSFET, TG-LDMOS). 本结构源极和漏极都在表面, 与BCD(Bipolar CMOS DMOS)工艺相兼容. 通过引入介质沟槽、垂直栅极、栅极下方的源极多晶硅以及栅极右侧的厚氧化层, 将传统集成功率器件的一维耐压拓宽为二维耐压, 包括横向耐压与纵向耐压两个方向. 其中, 纵向耐压不占用横向元胞尺寸, 进而在相同耐压水平上, 使TG-LDMOS具有分立功率器件耐压效率高、导通电阻低的特点. 本结构通过仿真优化做到了击穿电压(V_b)为52 V, 特征导通电阻($R_{on,sp}$)为 $10 \text{ m}\Omega \cdot \text{mm}^2$. 结果表明, TG-LDMOS突破了硅器件的极限关系, 与硅极限相比特征导通电阻降低了48%.

关键词: 横向双扩散场效应晶体管; 沟槽; 横向元胞尺寸; 击穿电压; 特征导通电阻

基金项目: 国家重点研发计划(No.2020YFF0218501); 东南大学至善学者基金(No.2242021R41080)

中图分类号: TN323+4

文献标识码: A

文章编号: 0372-2112(2023)08-1995-08

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20220020

Research on Ultra-Low On-Resistance Trench Gate LDMOS Device

LIN Xiao-nan¹, WU Tuan-zhuang², XU Chao-qi³, LI Ren-wei², ZHANG Yi³, XUE Lu-jie², CHEN Shu-xian³,
LIN Feng³, LIU Si-yang¹, SUN Wei-feng^{1,2}

(1. School of Electronic Engineering, Southeast University, Nanjing, Jiangsu 210096, China;

2. School of Microelectronic, Southeast University, Wuxi, Jiangsu 214000, China;

3. CSMC Technologies Corporation, Wuxi, Jiangsu 214000, China)

Abstract: A trench gate lateral double-diffused MOSFET (TG-LDMOS) with ultra-low specific on-resistance ($R_{on,sp}$) is proposed. With source and drain contact placement at the top silicon surface, our device is compatible with BCD (Bipolar CMOS DMOS) technologies. Compared with conventional integrated power devices, by introducing the dielectric trench, vertical gate, polysilicon source and thick oxide layer, one-dimensional withstand voltage is broadened to two-dimensional withstand voltage, including both lateral and vertical directions. The vertical withstand voltage doesn't occupy the lateral cell pitch, just like the discrete power devices, so that our device has the characteristics of high voltage withstand efficiency and low on-resistance at the same breakdown voltage (V_b). The TG-LDMOS is optimized to achieve V_b of 52 V and $R_{on,sp}$ of $10 \text{ m}\Omega \cdot \text{mm}^2$. The simulation results show that the TG-LDMOS breaks through the silicon limit, and $R_{on,sp}$ is reduced by 48% compared with the silicon limit.

Key words: lateral double-diffused mosfet; trench; lateral cell pitch; breakdown voltage; specific on-resistance

Foundation Item(s): National Key Research and Development Program (No.2020YFF0218501); Southeast University Zhishan Scholars Foundation (No.2242021R41080)

1 引言

横向双扩散金属氧化物半导体场效应晶体管(Lateral Double-diffused MOSFET, LDMOS)是最常用的集成功率器件,具有驱动电路简单、开关速度快、与BCD

工艺相兼容等优点,在DC-DC电源转换电路领域具有广阔的应用前景^[1]. 但LDMOS漂移区长度与横向元胞尺寸成正比,较高的击穿电压意味着较大的芯片面积和较高的特征导通电阻,限制了性能的提升. 以垂直双

扩散场效应晶体管(Vertical Double-diffused MOSFET, VDMOS)为代表的分立功率器件具有垂直结构,在相同耐压水平上,元胞尺寸更小,导通电阻更低,但无法与电路集成.因此,在保持与BCD工艺相兼容的基础上,同时做到更高击穿电压和更低特征导通电阻是功率MOSFET研究的重点^[2,3].

目前,文献中提出了很多技术以优化LDMOS击穿电压和导通电阻间的矛盾关系.例如,在LDMOS漂移区中引入介质沟槽结构^[4,5]、双沟槽结构^[6,7]、沟槽加垂直栅极结构^[8,9]、沟槽加阶梯分裂栅结构^[10].这些结构的共同点是横向漂移区变为体内纵向漂移区,并引入新的电场峰值,进而提高击穿电压,并缩小元胞尺寸.但结构相对复杂,工艺难以实现.

基于以上分析,本文提出一种新型沟槽栅LDMOS结构,并对结构参数进行仿真分析,旨在结合分立功率器件和集成功率器件各自的优点,在相同耐压水平上,进一步缩小横向元胞尺寸,降低特征导通电阻.同时,其工艺步骤简单,可行性高.

2 器件结构和工作原理

图1为本文提出的TG-LDMOS的截面图,即器件二维结构的一个周期性单元,实际结构是由这一元胞沿OA方向镜像周期排列而成的.其中, t_d 为沟槽深度, L_1 和 L_2 分别表示栅极和源极多晶硅的长度, t_1 , t_2 和 t_3 分别为栅极右侧的氧化层厚度、栅极与源极多晶硅间的氧化层厚度、源极多晶硅侧壁及底部与漂移区间的氧化层厚度,以 N_d 表示N型漂移区的掺杂浓度,以 N_{body} 表示P型体区的掺杂浓度.由图可知,本结构源、漏极之间的沟槽和垂直栅极,将表面横向的漂移区和水平沟道变成体内纵向的漂移区和垂直沟道.通态下,靠近栅极侧壁的P型体区形成纵向沟道,电子从源极沿着沟槽侧壁流入漏极,形成正向电流.阻断态时,漏压逐渐增加,P型体区和N型漂移区形成的PN结开始反偏耐压,耗尽层主要在轻掺杂的漂移区中沿沟槽向漏极均匀扩展(见图2).因此,源漏极间漂移区长度只与沟槽深度成正比,与横向元胞尺寸无关.本结构元胞尺寸小,导致图2中栅漏间横向电场E1的强度远大于漂移区中纵向电场E2的强度,所以将栅极在沟槽内偏置设置,使栅漏间氧化层增厚来承受高电场E1.相比现有晶体管中栅极和源极多晶硅的左右结构,本结构采用纵向的上下布局,整体结构更窄.此外,源极多晶硅与漂移区构成类MOS结构,阻断态时提供了电荷补偿作用,可以辅助耗尽漂移区,提高漂移区掺杂浓度并降低导通电阻.同时,源极多晶硅作为场板增强了电场调制效应,在漂移区中引入新的电场峰值以提高击穿电压.参见图3中TG-LDMOS从表面到沟槽底部的电场强度曲线图,本结

构可以实现漂移区的完全耗尽和电场强度的均匀分布,达到类似超结的效果.

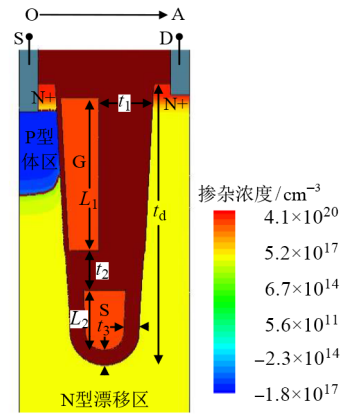


图1 TG-LDMOS的截面图

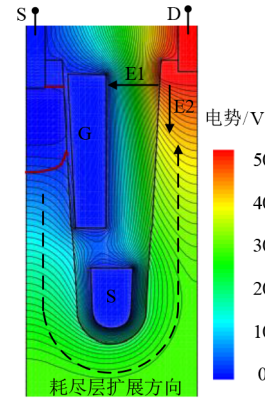


图2 栅源电压 $V_{gs}=0\text{ V}$ 和漏源电压 $V_{ds}=V_{B,dss}$ 时,TG-LDMOS的等势线图

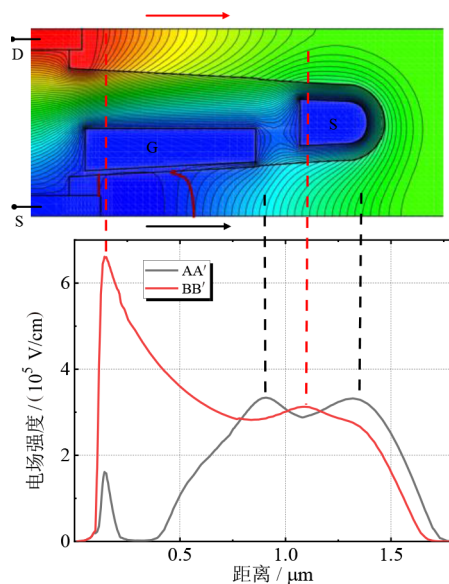
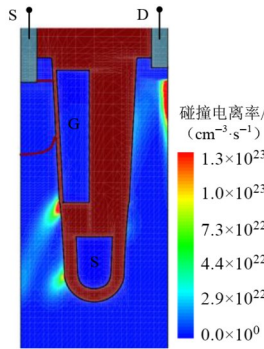


图3 $V_{gs}=0\text{ V}$ 和 $V_{ds}=V_{B,dss}$ 时,TG-LDMOS沿AA'和BB'方向的电场强度曲线图

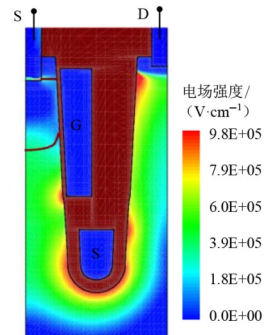
表 1 为本文提出的 TG-LDMOS 结构的最优参数,其击穿电压 V_B (breakdown voltage) 为 52 V, 特征导通电阻 $R_{on,sp}$ (specific on-resistance) 是 $10 \text{ m}\Omega \cdot \text{mm}^2$ 。图 4(a) 和 (b) 分别是最优结构在栅源电压 $V_{gs}=0 \text{ V}$ 和漏源电压 $V_{ds}=V_{B,dss}$ 时的碰撞电离率分布和电场强度分布, 图 5 是沿器件沟槽侧壁从源极到漏极的电场强度曲线图。由图 4(a) 可以看出, 器件会在漂移区中碰撞电离率最大的三点同时发生击穿, 分别是靠近栅极左下角薄栅氧处、沟槽拐角和靠近漏区三处。由图 4(b) 和图 5 可知, 以上三处较大的碰撞电离率是因为有很高的电场峰值。此外, 源极多晶硅右上角附近的漂移区也有一处电场峰值, 但该点有较厚的氧化层, 所以不会有大的碰撞电离率。

表 1 TG-LDMOS 的最优结构参数

器件参数	值	单位
沟槽深度 t_d	1.5	μm
栅极多晶硅长度 L_1	0.9	μm
源极多晶硅长度 L_2	0.32	μm
N 型漂移区掺杂浓度 N_d	1.1	10^{17} cm^{-3}
P 型体区掺杂浓度 N_{body}	1.5	10^{17} cm^{-3}
氧化层厚度 t_1	0.3	μm
氧化层厚度 t_2	0.2	μm
氧化层厚度 t_3	0.08	μm



(a) 碰撞电离率分布



(b) 电场强度分布

图 4 $V_{gs}=0 \text{ V}$ 和 $V_{ds}=V_{B,dss}$ 时, TG-LDMOS 的碰撞电离率分布和电场强度分布

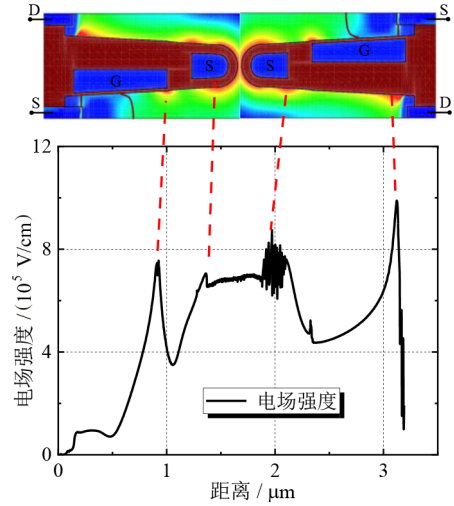


图 5 $V_{gs}=0 \text{ V}$ 和 $V_{ds}=V_{B,dss}$ 时, TG-LDMOS 沿沟槽侧壁从源极到漏极的电场强度曲线图

3 结果和讨论

3.1 结构参数仿真与分析

图 6 是利用半导体器件仿真软件 Sentaurus TCAD 对 TG-LDMOS 进行仿真的击穿电压 V_B 和特征导通电阻 $R_{on,sp}$ 在不同漂移区掺杂浓度 N_d 下的变化曲线。由图 6 可知, N_d 从 $0.6 \times 10^{17} \text{ cm}^{-3}$ 增加到 $1.6 \times 10^{17} \text{ cm}^{-3}$, 漂移区电阻率降低, TG-LDMOS 的 $R_{on,sp}$ 从 $11.9 \text{ m}\Omega \cdot \text{mm}^2$ 减小到 $8.6 \text{ m}\Omega \cdot \text{mm}^2$, 降低了 27.7%。 V_B 则是先升高后降低, 在 $N_d=1.1 \times 10^{17} \text{ cm}^{-3}$ 时趋于最大值 52V, 此时 $R_{on,sp}=10 \text{ m}\Omega \cdot \text{mm}^2$ 。击穿电压的抛物线型变化是因为随着 N_d 减小, 较低掺杂的漂移区被完全耗尽, 导致漏区电场强度急剧增加, 器件提前发生击穿, 在 N_d 为 $0.6 \times 10^{17} \text{ cm}^{-3}$ 时 $V_B=40 \text{ V}$ 。相反随着 N_d 增加, 电荷平衡被打破, 漂移区无法完全耗尽, 因此栅极左下角附近的电场强度剧增, 当 $N_d=1.6 \times 10^{17} \text{ cm}^{-3}$ 时 V_B 仅有 24 V。因此, N_d 的设计需要综合考虑击穿电压和特征导通电阻的矛盾关系。

保持 TG-LDMOS 漂移区掺杂浓度 N_d 不变, 图 7 是不同体区掺杂浓度 N_{body} 下击穿电压 V_B 和阈值电压 V_{th}

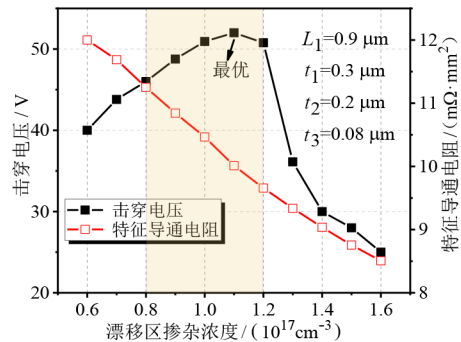


图 6 TG-LDMOS 在不同漂移区掺杂浓度 N_d 下的击穿电压和特征导通电阻变化曲线

(threshold voltage)的变化曲线. 可以看出, N_{body} 从 $2.5 \times 10^{17} \text{ cm}^{-3}$ 减小到 $0.75 \times 10^{17} \text{ cm}^{-3}$, V_{th} 由 1.9 V 下降到 0.9 V, 变化了 52%, 而 $V_{\text{B}}=52 \text{ V}$ 基本不变, 因此可以通过调整体区掺杂浓度来选择不同的阈值电压.

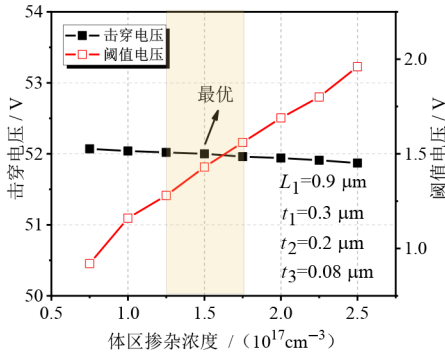


图7 TG-LDMOS在不同体区掺杂浓度 N_{body} 下的击穿电压和阈值电压变化曲线

保持沟槽深度 t_d 恒定不变, 分析不同栅极长度 L_1 对本结构 V_{B} 和 $R_{\text{on,sp}}$ 的影响, 如图 8 所示. 可以看出, L_1 从 $0.7 \mu\text{m}$ 增加到 $1.1 \mu\text{m}$, 为保证 t_d 不变, 源极多晶硅长度 L_2 随之从 $0.52 \mu\text{m}$ 减小到 $0.12 \mu\text{m}$. TG-LDMOS 正向导通时, 扩展的栅极使漂移区中沿沟槽侧壁的积累层长度增加, 提供了低阻通路, $R_{\text{on,sp}}$ 从 $10.6 \text{ m}\Omega \cdot \text{mm}^2$ 降低到 $9.6 \text{ m}\Omega \cdot \text{mm}^2$, 减小了 9.4%. V_{B} 则先趋于饱和, 在 L_1 大于 $0.9 \mu\text{m}$ 后迅速降低. 图 9 是 TG-LDMOS 在不同栅极长度下关态击穿时的碰撞电离率分布. 由图 9 可知, L_1 超过 $0.9 \mu\text{m}$ 后, 源极多晶硅对漂移区的辅助耗尽和电场调制效应逐渐减弱. 在 $L_1=1.1 \mu\text{m}$ 时, 沟槽右侧的漂移区最终无法完全耗尽, 击穿时的电势变化主要施加在沟槽左侧, 导致栅极左下角附近碰撞电离率增加, V_{B} 迅速降低.

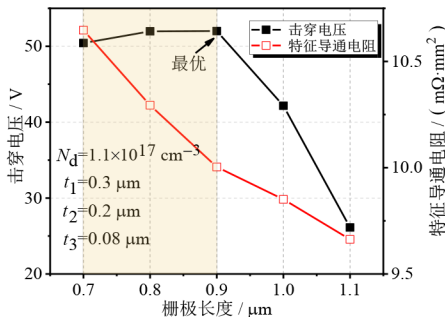


图8 TG-LDMOS在不同栅极长度 L_1 下的击穿电压和特征导电电阻变化曲线

保持栅极长度 L_1 恒定不变, 分析栅极右侧氧化层厚度 t_1 的变化对本结构 V_{B} 和 $R_{\text{on,sp}}$ 的影响, 如图 10 所示. 由图 10 可知, 当 t_1 从 $0.2 \mu\text{m}$ 增加到 $0.5 \mu\text{m}$, TG-LDMOS 开态电流能力不受影响, 但横向元胞尺寸会变大, $R_{\text{on,sp}}$

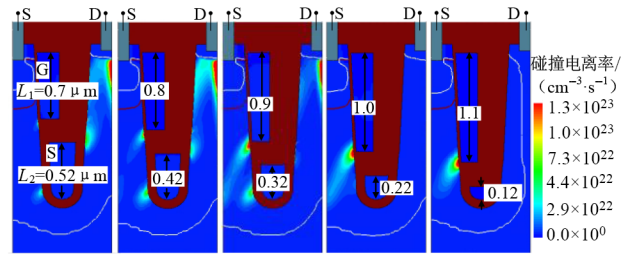


图9 $V_{\text{gs}}=0 \text{ V}$ 和 $V_{\text{ds}}=V_{\text{B,dss}}$ 时, TG-LDMOS 在不同栅极长度 L_1 下的碰撞电离率分布

增加了 44%, 说明器件尺寸对特征导电电阻影响极大. 同时, V_{B} 会先迅速升高后快速减小. 由图 11 可知, t_1 太小时, 漏区附近的横向电场强度会迅速增加, 导致碰撞电离率变大, 提前发生击穿. 但一味地增大 t_1 , 漂移区中电场强度与漂移区长度围成的面积将减小, V_{B} 也会在达到饱和值后降低, 并且 $R_{\text{on,sp}}$ 会变得很大. 所以 t_1 的设计需要折中分析击穿电压和特征导电电阻的关系.

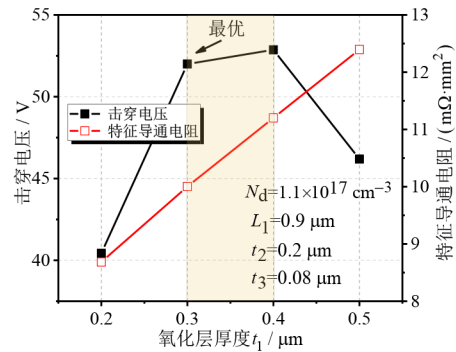


图10 TG-LDMOS在不同氧化层厚度 t_1 下的击穿电压和特征导电电阻变化曲线

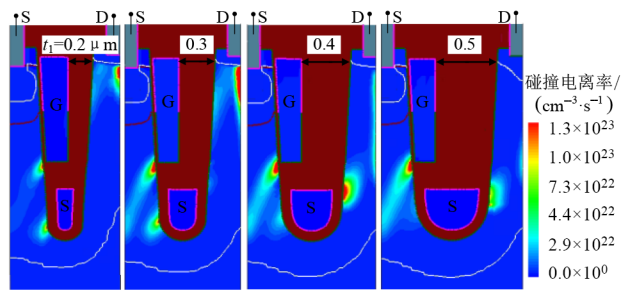
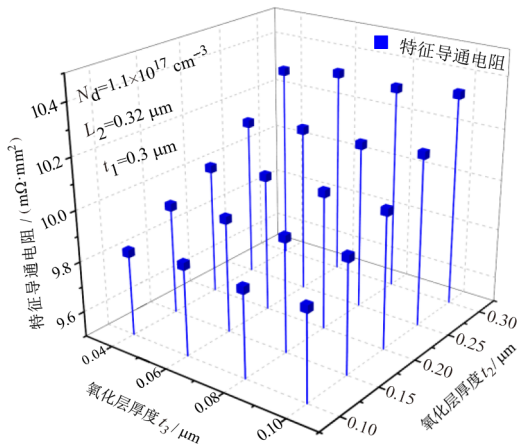


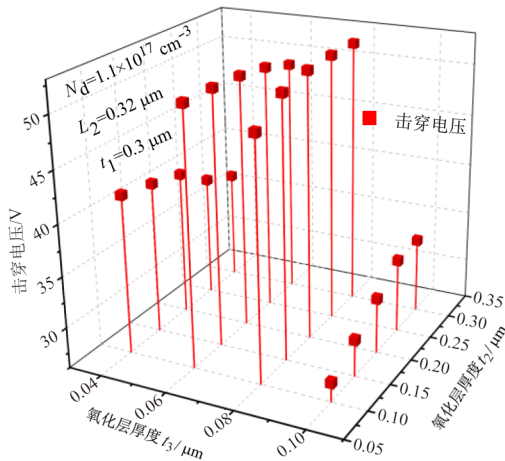
图11 $V_{\text{gs}}=0 \text{ V}$ 和 $V_{\text{ds}}=V_{\text{B,dss}}$ 时, TG-LDMOS 在不同氧化层厚度 t_1 下的碰撞电离率分布

保持源极多晶硅 $L_2=0.32 \mu\text{m}$ 不变, 图 12(a) 为 TG-LDMOS 随着栅极与源极多晶硅间的氧化层厚度 t_2 、源极多晶硅的侧壁及底部与漂移区间的氧化层厚度 t_3 变化而变化的特征导电电阻三维曲线. 结果显示, 当 t_2 从 $0.1 \mu\text{m}$ 增加到 $0.3 \mu\text{m}$, 栅极长度 L_1 随之变小, 导致积累层长度变短, $R_{\text{on,sp}}$ 略有增加. 因为源极多晶硅始终为低电位, 所以 t_3 的变化对 $R_{\text{on,sp}}$ 没有影响. 图 12(b) 为 TG-LDMOS 在不同氧化层厚度 t_2 和 t_3 下的击穿电压变化曲

线. 由图 12(b)可知, V_B 受 t_2 影响较小. 而 t_3 由 $0.04 \mu\text{m}$ 增加到 $0.10 \mu\text{m}$ 时, V_B 会从 40 V 升高到 50 V 后又迅速降到 30 V , 说明 V_B 对 t_3 的变化很敏感. 这是因为 t_3 较大时, 源极多晶硅对漂移区的辅助耗尽和电场调制效应减弱, 击穿电压降低. 反之, 氧化层太薄, 源极多晶硅右上角会提前发生击穿, 并且沟槽底部的氧化层太薄也会影响器件可靠性. 因此, 为了得到最优的 V_B 和 $R_{\text{on,sp}}$ 关系, TG-LDMOS 的设计必须综合考虑各参数的影响.



(a) 特征导电电阻变化曲线



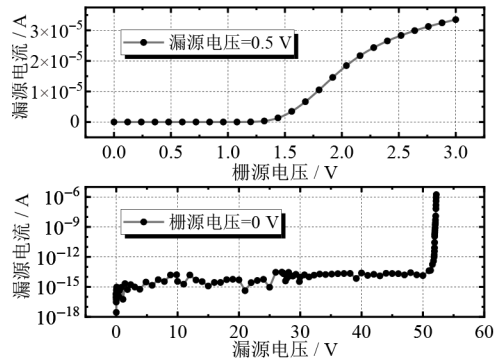
(b) 击穿电压变化曲线

图 12 TG-LDMOS 在不同氧化层厚度 t_2 和 t_3 下的特征导电电阻和击穿电压变化曲线

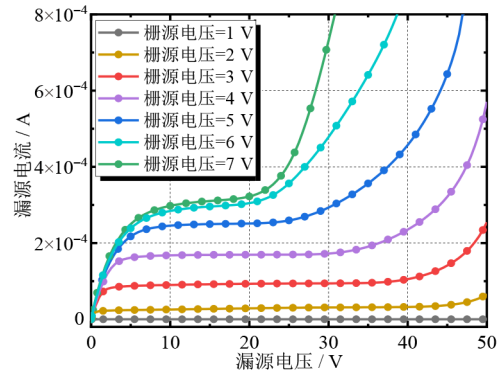
3.2 仿真结果

基于 3.1 节的仿真与分析, 本文提出了最优的 TG-LDMOS 结构, 其转移特性曲线、击穿电压曲线和不同栅压下的输出特性曲线分别如图 13 中 (a) 和 (b) 所示. 由图可知, 本文设计出了阈值电压 $V_{\text{th}}=1.43 \text{ V}$, 击穿电压 $V_B=52 \text{ V}$ ($I_{\text{ds}}>1\times 10^{-6} \text{ A}$ 时得到) 且特征导电电阻 $R_{\text{on,sp}}$ 仅有 $10 \text{ m}\Omega \cdot \text{mm}^2$ ($V_{\text{gs}}=5 \text{ V}$ 和 $V_{\text{ds}}=0.1 \text{ V}$ 下得到) 的 TG-LDMOS 器件结构, 同时直流安全工作区在 $V_{\text{gs}}=5 \text{ V}$ 时超

过了 35 V .



(a) 转移特性曲线和击穿电压曲线



(b) 输出特性曲线

图 13 TG-LDMOS 的转移特性曲线和击穿电压曲线、输出特性曲线

图 14 是具有代表性的不同 LDMOS 器件结构的击穿电压和特征导电电阻关系曲线. 可以看出, 受 V_B 和 $R_{\text{on,sp}}$ 的矛盾关系限制, 不同器件结构的 $R_{\text{on,sp}}$ 整体都随 V_B 的升高而快速增加. 已经提出的 LDMOS 结构, 都只做到了接近硅极限, 但本文提出的 TG-LDMOS 结构的特征导电电阻完全突破了硅极限, 约为硅极限的 $1/2\sim 2/3$, 为实现更低功耗的集成功率器件提供了一种有效的设计方法.

栅漏电荷 Q_{gd} (Gate-Drain Charge) 作为功率器件中

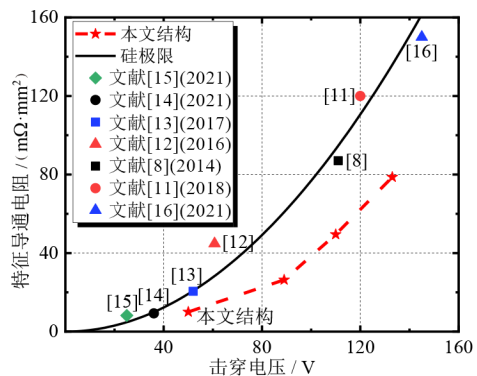


图 14 不同 LDMOS 器件结构的击穿电压和特征导电电阻关系曲线

最重要的一个动态参数,影响了器件的开关速度和损耗,较小的 Q_{gd} 可以获得更快的开关速度和更低的开关损耗.图15是TG-LDMOS栅电荷 Q_g (gate charge)的仿真,其中测试电路开启电压为30 V,栅极电流为20 mA,TG-LDMOS在栅平台期间的栅漏电荷 Q_{gd} 为 $581.6 \text{ nC}\cdot\text{cm}^{-2}$.为了评估 MOSFET 工作在高开关频率时的开关损耗,优值 FOM2(Figure Of Merit $= Q_{gd} \cdot R_{on,sp}$)被广泛使用,FOM2 越小的 LDMOS 可以在 DC-DC 电源转换电路中获得更高的工作效率.表2是不同器件的动态和静态参数对比^[11-21],可以看出,TG-LDMOS 的优值 FOM2 为 $58.16 \text{ nC}\cdot\text{m}\Omega$,优值 FOM1($V_B^2/R_{on,sp}$)为 $27.4 \text{ MW}\cdot\text{cm}^{-2}$.与其他 LDMOS 器件相比,本结构具有较小的 FOM2 和更大的 FOM1,优势明显,这是因为栅极下方的源极多晶硅将器件的栅漏电容部分转化为了栅源电容,从而减小了栅漏电荷 Q_{gd} ,同时 TG-LDMOS 还具有更低的特征导通电阻.与参考文献[17]相比,本结构优值 FOM2 虽然较大,但 FOM1 也更大,耐压效率也更高.

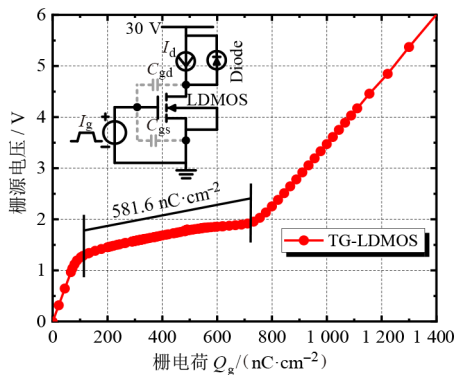


图15 TG-LDMOS的栅电荷仿真曲线(左上方插图为测试电路)

3.3 器件制备工艺

图16为TG-LDMOS的工艺制造流程.第一步,在浅掺杂N型外延层中刻蚀沟槽并各向同性淀积氧化层.第二步,沟槽内淀积并刻蚀多晶硅,形成源极多晶硅.第三步,沟槽内淀积并刻蚀氧化层至源极多晶硅上方.第四步,在沟槽侧壁热生长栅氧化层.第五步,沟

槽内淀积多晶硅并刻蚀掉右侧多余部分,形成栅极.第六步,沟槽内回填氧化层.第七、第八步,选择性离子注入形成P型体区、N型重掺杂源区和漏区.最后,在器件表面刻蚀出接触孔,形成源极和漏极.本结构保留了传统集成功率器件的设计工艺,步骤简单,可行性高.图17为本结构的偏置栅极SEM图,对应图16中的第五步.由图可知,TG-LDMOS栅极的宽度最小可以做到 $0.202 \mu\text{m}$,保证了器件结构的小型化和可行性.

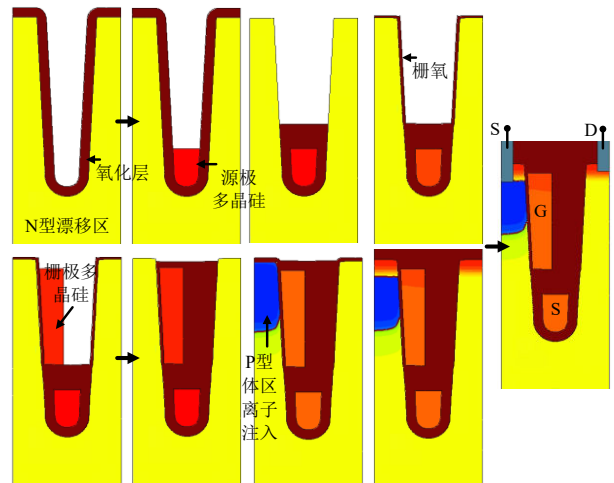


图16 TG-LDMOS的工艺制造流程

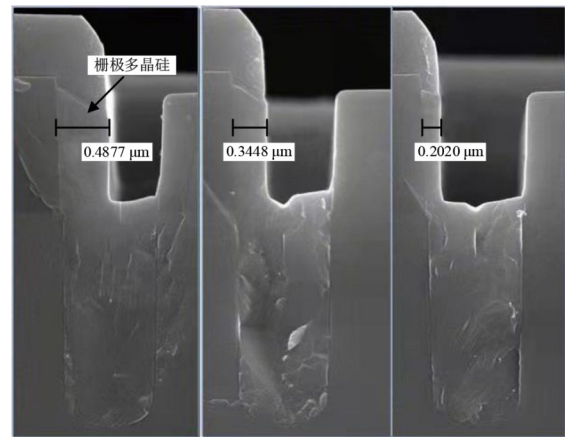


图17 TG-LDMOS的栅极SEM图

表2 不同器件的动态和静态参数对比

器件类型	击穿电压 V_B /V	特征导通电阻 $R_{on,sp}$ /($\text{m}\Omega\cdot\text{mm}^2$)	FOM1= $V_B^2/R_{on,sp}$ /($\text{MW}\cdot\text{cm}^{-2}$)	FOM2= $Q_{gd}\cdot R_{on,sp}$ /($\text{nC}\cdot\text{m}\Omega$)
本文结构	52	10	27.04	58.16
文献[12]	60.7	44.8	8.22	141
文献[17]	64.5	18	23.1	32.4
文献[18]	85	61	11.844	122
文献[19]	97	34	27.7	180
文献[20]	108	301.1	3.874	202
文献[11]	119.3	120	11.9	65.8
文献[21]	146	170	12.5	195.8

4 结论

本文提出了一种新型超低特征导通电阻的沟槽栅 LDMOS 器件. 本结构的源极和漏极都在器件表面, 与 BCD 工艺相兼容. 还通过引入介质沟槽、垂直栅极、栅极下方的源极多晶硅以及栅极右侧的厚氧化层, 将表面横向漂移区变为体内的纵向漂移区, 使 TG-LDMOS 具有了分立功率器件耐压效率高、导通电阻小的特点. 与现有 LDMOS 器件相比, 在相同耐压水平上, 本结构元胞的横向宽度极大减小, 特征导通电阻也大大降低. 对 TG-LDMOS 进行动静特性仿真, 最优结构的击穿电压 BV 高达 52 V, 特征导通电阻 $R_{on,sp}$ 低至 $10 \text{ m}\Omega \cdot \text{mm}^2$, 且优值 $FOM1$ 为 $27.4 \text{ MW} \cdot \text{cm}^{-2}$, $FOM2$ 低至 $58.16 \text{ nC} \cdot \text{m}\Omega$, 并且打破了传统硅器件击穿电压与特征导通电阻间的矛盾关系, 与硅极限相比, 特征导通电阻降低了 48%. 同时, 其工艺步骤简单, 可行性高, 为低损耗集成功率器件设计提供了一种新方法.

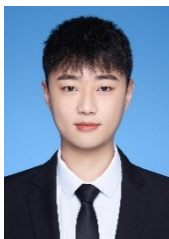
参考文献

- [1] HE N L, ZHANG S, ZHU X H, et al. A $0.25\mu\text{m}$ 700V BCD technology with ultra-low specific on-resistance SJ-LDMOS[C]//2020 32nd International Symposium on Power Semiconductor Devices and ICs (ISPSD). Piscataway: IEEE, 2020: 419-422.
- [2] 姚佳飞, 郭宇锋, 李曼, 等. 高 k 介质阶梯变宽度 SOI LDMOS[J]. 电子学报, 2018, 46(7): 1781-1786.
YAO J F, GUO Y F, LI M, et al. Novel SOI LDMOS with step width drift region using high- k dielectric[J]. Acta Electronica Sinica, 2018, 46(7): 1781-1786. (in Chinese)
- [3] 代红丽, 赵红东, 王洛欣, 等. 具有 L 型栅极场板的双槽双栅绝缘体上硅器件新结构[J]. 电子学报, 2018, 46(5): 1146-1152.
DAI H L, ZHAO H D, WANG L X, et al. A dual-trench-gate silicon on insulator device with a L-shaped gate field plate[J]. Acta Electronica Sinica, 2018, 46(5): 1146-1152. (in Chinese)
- [4] MEHRAD M. Thin layer oxide in the drift region of Laterally double-diffused metal oxide semiconductor on silicon-on-insulator: A novel device structure enabling reliable high-temperature power transistors[J]. Materials Science in Semiconductor Processing, 2015, 30: 599-604.
- [5] WU L J, ZHANG W T, SHI Q, et al. Trench SOI LDMOS with vertical field plate[J]. Electronics Letters, 2014, 50(25): 1982-1984.
- [6] PUNETHA M, SINGH Y. Dual-channel trench LDMOS on SOI for RF power amplifier applications[J]. Journal of Computational Electronics, 2016, 15(2): 639-645.
- [7] PAYAL M, SINGH Y. A multi-channel trench-gate radio frequency LDMOS on silicon-on-insulator[J]. IETE Technical Review, 2017, 34(3): 246-253.
- [8] MEHROTRA S, RADIC L, GROTE B, et al. Towards ultimate scaling of LDMOS with Ultralow Specific On-resistance[C]//2020 32nd International Symposium on Power Semiconductor Devices and ICs (ISPSD). Piscataway: IEEE, 2020: 42-45.
- [9] YUAN, WANG, . Reducing the specific on-resistance for a trench-gate-integrated SOI LDMOS by using the double silicon drift layers[J]. Results in Physics, 2020, 19: 103589.
- [10] WU L J, HUANG Y, WU Y Q, et al. Investigation of the stepped split protection gate L-Trench SOI LDMOS with ultra-low specific on-resistance by simulation[J]. Materials Science in Semiconductor Processing, 2019, 101: 272-278.
- [11] YUAN N, WU L J, YANG H, et al. Double trenches LD-MOS with trapezoidal gate[J]. Micro & Nano Letters, 2018, 13(5): 695-698.
- [12] KOJIMA J Y, MATSUDA J I, KAMIYAMA M, et al. Optimization and analysis of high reliability 30 - 50V dual RESURF LDMOS[C]//2016 13th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT). Piscataway: IEEE, 2017: 392-394.
- [13] JIN F, LIU D H, XING J J, et al. Best-in-class LDMOS with ultra-shallow trench isolation and p-buried layer from 18V to 40V in $0.18\mu\text{m}$ BCD technology[C]//2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD). Piscataway: IEEE, 2017: 295-298.
- [14] WANG Y D, DUAN B X, YANG Y T. Experimental of folded accumulation lateral double-diffused transistor with low specific on resistance[C]//2021 33rd International Symposium on Power Semiconductor Devices and ICs (ISPSD). Piscataway: IEEE, 2021: 195-198.
- [15] KAUSHAL K N, MOHAPATRA N R. A zero-cost technique to improve ON-state performance and reliability of power LDMOS transistors[J]. IEEE Journal of the Electron Devices Society, 2021, 9: 334-341.
- [16] LI M Z, DUAN B X, YANG Y T. New strained silicon-on-insulator lateral MOSFET with ultralow ON-resistance by $\text{Si}_{1-x}\text{Ge}_x$ P-top layer and trench gate[J]. IEEE Electron Device Letters, 2021, 42(6): 788-791.
- [17] WEI Y X, LUO X R, GE W W, et al. A split triple-gate power LDMOS with improved static-state and switching performance[J]. IEEE Transactions on Electron Devices,

2019, 66(6): 2669-2674.

- [18] LUO X R, MA D, TAN Q, et al. A split gate power FIN-FET with improved ON-resistance and switching performance[J]. IEEE Electron Device Letters, 2016, 37(9): 1185-1188.
- [19] LUO X R, LV M S, YIN C, et al. Ultralow ON-resistance SOI LDMOS with three separated gates and high- k dielectric[J]. IEEE Transactions on Electron Devices, 2016, 63(9): 3804-3807.
- [20] GUO S N, HUANG H M, CHEN X B. Study of the SOI LDMOS with low conduction loss and less gate charge [J]. IEEE Transactions on Electron Devices, 2018, 65(4): 1645-1649.
- [21] WU L J, YUAN N, LEI B, et al. Split-gate LDMOS with double vertical field plates[J]. Micro & Nano Letters, 2018, 13(11): 1580-1584.

作者简介



吝晓楠 男,1998年生.现为东南大学电子科学与工程学院研究生.主要研究方向为功率半导体器件可靠性.

E-mail: linxnnj@qq.com



刘斯扬(通讯作者) 男,1987年生.现为东南大学电子科学与工程学院教授、博士生导师.主要研究方向为新型功率器件设计、功率集成电路设计和功率器件建模.中国电子学会会员:

E190029952M.

E-mail: liusy2017@seu.edu.cn